

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**



(19)



JAPANESE PATENT OFFICE

OH-672A

Prior Art 2

## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09064049 A**(43) Date of publication of application: **07.03.97**

(51) Int. Cl.

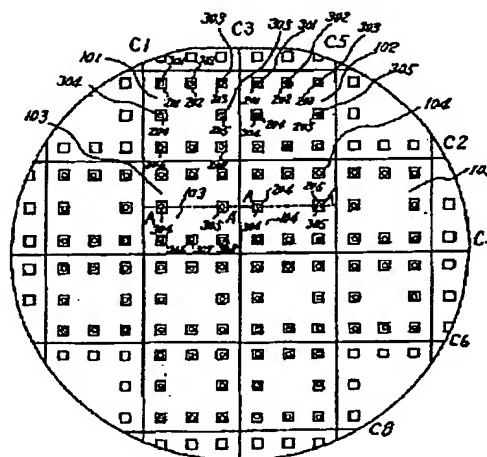
**H01L 21/321****H01L 21/301****H01L 23/12****H01L 23/29****H01L 23/31**(21) Application number: **07221760**(22) Date of filing: **30.08.95**(71) Applicant: **OKI ELECTRIC IND CO LTD**(72) Inventor: **SHIBATA SUSUMU  
SUZUKI MASAMI**(54) **CHIP SIZE PACKAGE AND MANUFACTURE  
THEREOF**

(57) Abstract:

**PROBLEM TO BE SOLVED:** To reduce the cost and to sufficiently protect an LSI by decreasing the number of steps without using a mold.

**SOLUTION:** Bumps 301 to 308 are formed at the electrodes 201 to 308 of LSIs 101 to 104 formed on a wafer, the peripheries of the bumps are covered with resin, solder balls to be connected to the bumps are formed, and cutting process for the individual LSIs is taken to obtain a chip size package.

COPYRIGHT: (C)1997,JPO





(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

特許第3313547号

(P3313547)

(45) 発行日 平成14年8月12日 (2002.8.12)

(24) 登録日 平成14年5月31日 (2002.5.31)

|                           |       |               |         |
|---------------------------|-------|---------------|---------|
| (51) Int.Cl. <sup>1</sup> | 識別記号  | F I           |         |
| H 0 1 L 23/12             | 5 0 1 | H 0 1 L 23/12 | 5 0 1 P |
| 21/301                    |       | 21/78         | L       |

請求項の数11(全 9 頁)

|           |                        |           |  |
|-----------|------------------------|-----------|--|
| (21) 出願番号 | 特願平7-221760            | (73) 特許権者 | 000000295<br>沖電気工業株式会社<br>東京都港区虎ノ門1丁目7番12号 |
| (22) 出願日  | 平成7年8月30日 (1995.8.30)  | (72) 発明者  | 柴田 進<br>東京都港区虎ノ門1丁目7番12号 沖電<br>気工業株式会社内    |
| (65) 公開番号 | 特開平9-64049             | (72) 発明者  | 鈴木 正美<br>東京都港区虎ノ門1丁目7番12号 沖電<br>気工業株式会社内   |
| (43) 公開日  | 平成9年3月7日 (1997.3.7)    | (74) 代理人  | 100089635<br>弁理士 清水 守 (外1名)                |
| 審査請求日     | 平成13年2月16日 (2001.2.16) | 審査官       | 中澤 登                                       |

最終頁に続く

(54) 【発明の名称】 チップサイズパッケージの製造方法

(57) 【特許請求の範囲】

【請求項1】 (a) 集積回路がそれぞれ形成された、四辺を有する複数の半導体チップ領域を有し、前記複数の半導体チップ領域の周辺上に、前記四辺に沿って複数の電極がそれぞれ形成された半導体ウエハを準備する工程と、  
(b) 前記半導体ウエハの表面を樹脂によって覆う工程と、  
(c) 前記複数の電極が形成された位置とは異なる複数の半導体チップ領域のそれぞれの中央側で、前記四辺に沿った複数の電極が外部との電気的接続をとるために、前記複数の電極にそれぞれ電気的に接続される複数の配線を前記樹脂上に形成する工程と、  
(d) 前記複数の配線が形成された半導体ウエハを個々の半導体チップに分割する工程とを含むことを特徴とするチップサイズパッケージの製造方法。

るチップサイズパッケージの製造方法。

【請求項2】 請求項1記載のチップサイズパッケージの製造方法において、前記複数の配線は、各々の一端が前記複数の電極に接続され、かつ、他端が前記半導体チップ領域の四辺の各々の側から中央側に向かうように、前記樹脂上に形成されることを特徴とするチップサイズパッケージの製造方法。

【請求項3】 請求項1又は2記載のチップサイズパッケージの製造方法において、前記複数の電極が形成された位置とは異なる前記半導体チップ領域の中央側で、前記複数の配線に接続される複数の半田ボールを形成する工程を有することを特徴とするチップサイズパッケージの製造方法。

【請求項4】 請求項3記載のチップサイズパッケージの製造方法において、前記半導体ウエハは、前記複数の

半田ボールが形成された後に、個々の前記半導体チップに分割されることを特徴とするチップサイズパッケージの製造方法。

【請求項5】 請求項1から4のいずれか1項に記載のチップサイズパッケージの製造方法において、前記複数の電極にそれぞれ接続される複数のバンパを形成する工程を含んでおり、前記複数の配線は、前記複数のバンパを介して前記複数の電極にそれぞれ接続されることを特徴とするチップサイズパッケージの製造方法。

【請求項6】 請求項1から5のいずれか1項に記載のチップサイズパッケージの製造方法において、前記複数の配線は、アルミニウム又は銅を用いて形成されることを特徴とするチップサイズパッケージの製造方法。

【請求項7】 請求項1から6のいずれか1項に記載のチップサイズパッケージの製造方法において、前記複数の配線を覆うように、前記樹脂の上に半田レジストを供給する工程を有することを特徴とするチップサイズパッケージの製造方法。

【請求項8】 請求項1から7のいずれか1項に記載のチップサイズパッケージの製造方法において、前記樹脂は、エポキシ樹脂を用いて形成されることを特徴とするチップサイズパッケージの製造方法。

【請求項9】 請求項1から8のいずれか1項に記載のチップサイズパッケージの製造方法において、前記複数の電極を露出させる保護膜を前記半導体ウエハの表面上に形成する工程を含むことを特徴とするチップサイズパッケージの製造方法。

【請求項10】 請求項9記載のチップサイズパッケージの製造方法において、前記樹脂は、前記保護膜上に形成されることを特徴とするチップサイズパッケージの製造方法。

【請求項11】 請求項9又は10記載のチップサイズパッケージの製造方法において、前記保護膜は、PSGを用いて形成されることを特徴とするチップサイズパッケージの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、LSIのパッケージに係り、特に、LSIチップと略同じ大きさのチップサイズパッケージの製造方法に関するものである。

【0002】

【従来の技術】 従来、このような分野の技術としては、例えば、

(1) “日経マイクロデバイス” 1995年2月号 P. 96～97

(2) “チップサイズパッケージ技術” サーキットテクノロジー Vol. 9 No. 7 P475～478に記載されるようなものがあつた。

【0003】 従来、この種のパッケージは、 $\mu$ -BGA、チップサイズパッケージ、CSP等種々の名前で呼

ばれ、また色々なタイプのチップサイズパッケージが開発されている。

【0004】 図8はかかる従来のチップサイズパッケージの一部破断斜視図である。

【0005】 この図に示すように、LSIチップ1に半田蒸着と銅バンパを形成後、モールド樹脂2により樹脂封止し、外部端子用の半田バンパ3をつける。なお、4は配線パターン、5は電極パッドである。結果として、略LSIと同じ大きさのパッケージを得ることができる。

【0006】 また、図9は従来のチップサイズパッケージのうちテープキャリア方式の一部破断斜視図である。

【0007】 この図において、LSIチップ5の表面には弾性のある接着剤6をコートし、LSIの各パッドにはフレキシブル配線7を接続し、且つこのフレキシブル配線7には半田バンパ9が形成されている。この半田バンパ9の周囲には、ポリイミドフィルム8等で形成され、前記した弾性のある接着剤6でこのLSIに固定されている。10は保護枠である。結果として、略LSIと同じ大きさのパッケージを得ることができる。

【0008】 すなわち、このパッケージでは、LSIをバンパを有するポリイミド配線基板に実装し、次に、これを目的の配線基板に実装する形態をとっていた。

【0009】 他の形態のパッケージにおいても、配線が施されたLSIチップを、配線基板に実装するようにしている。

【0010】

【発明が解決しようとする課題】 しかしながら、上記したように、従来のチップサイズパッケージでは、LSIをウエハから切り出した後、各々のチップサイズパッケージを作製することになるので、専用の金型を必要とし、低価格化の障害となっていた。

【0011】 また、従来のチップサイズパッケージでは、LSIを配線基板に実装するのに2回実装することとなり、工程数が多くなり、結果として高価格になる。

【0012】 更に、LSIをウエハから切り出した後、各々のチップサイズパッケージを作製することになるので、その作製が煩雑であり、製造の信頼性上も問題である。

【0013】 また、従来エポキシ樹脂のモールドに関してはモールドに離型剤が添加されていた。これは金型と樹脂との接着を防ぐ目的のものであるが、LSI及びその周辺の金属との接着力が弱くなり、信頼性低下につながった。

【0014】 更に、今までにもLSIにバンパを直接作製し、これをフェースダウン方式で基板に実装する方法は提案され、実用化している。しかし、この方法ではLSIの保護が全くなされておらず、機械的にも弱いものであった。

【0015】 本発明は、上記問題点を除去し、金型を用

いることなく、工程数を低減して、低価格化を図ることができ、LSIの保護が十分なチップサイズパッケージの製造方法を提供することを目的とする。

【0016】

【課題を解決するための手段】本発明は、上記目的を達成するために、

〔1〕チップサイズパッケージの製造方法において、集積回路がそれぞれ形成された、四辺を有する複数の半導体チップ領域を有し、前記複数の半導体チップ領域の周辺上に、前記四辺に沿って複数の電極がそれぞれ形成された半導体ウエハを準備する工程と、前記半導体ウエハの表面を樹脂によって覆う工程と、前記複数の電極が形成された位置とは異なる複数の半導体チップ領域のそれぞれの中央側で、前記四辺に沿った複数の電極が外部との電気的接続をとるために、前記複数の電極にそれぞれ電気的に接続される複数の配線を前記樹脂上に形成する工程と、前記複数の配線が形成された半導体ウエハを個々の半導体チップに分割する工程とを含むことを特徴とする。

【0017】〔2〕上記〔1〕記載のチップサイズパッケージの製造方法において、前記複数の配線は、各々の一端が前記複数の電極に接続され、かつ、他端が前記半導体チップ領域の四辺の各々の側から中央側に向かうように、前記樹脂上に形成されることを特徴とする。

【0018】〔3〕上記〔1〕又は〔2〕記載のチップサイズパッケージの製造方法において、前記複数の電極が形成された位置とは異なる前記半導体チップ領域の中央側で、前記複数の配線に接続される複数の半田ボールを形成する工程を有することを特徴とする。

【0019】〔4〕上記〔3〕記載のチップサイズパッケージの製造方法において、前記半導体ウエハは、前記複数の半田ボールが形成された後に、個々の前記半導体チップに分割されることを特徴とする。

【0020】〔5〕上記〔1〕から〔4〕のいずれか1項に記載のチップサイズパッケージの製造方法において、前記複数の電極にそれぞれ接続される複数のバンプを形成する工程を含んでおり、前記複数の配線は、前記複数のバンプを介して前記複数の電極にそれぞれ接続されることを特徴とする。

【0021】〔6〕上記〔1〕から〔5〕のいずれか1項に記載のチップサイズパッケージの製造方法において、前記複数の配線は、アルミニウム又は銅を用いて形成されることを特徴とする。

【0022】〔7〕上記〔1〕から〔6〕のいずれか1項に記載のチップサイズパッケージの製造方法において、前記複数の配線を覆うように、前記樹脂の上に半田レジストを供給する工程を有することを特徴とする。

【0023】〔8〕上記〔1〕から〔7〕のいずれか1項に記載のチップサイズパッケージの製造方法において、前記樹脂は、エポキシ樹脂を用いて形成されること

を特徴とする。

【0024】〔9〕上記〔1〕から〔8〕のいずれか1項に記載のチップサイズパッケージの製造方法において、前記複数の電極を露出させる保護膜を前記半導体ウエハの表面上に形成する工程を含むことを特徴とする。

【0025】〔10〕上記〔9〕記載のチップサイズパッケージの製造方法において、前記樹脂は、前記保護膜上に形成されることを特徴とする。

【0026】〔11〕上記〔9〕又は〔10〕記載のチップサイズパッケージの製造方法において、前記保護膜は、PSGを用いて形成されることを特徴とする。

【0027】

【発明の実施の形態】以下、本発明の実施例について図面を参照しながら説明する。

【0028】図1は本発明の第1実施例を示すウエハの平面図、図2は図1のA-A'線におけるチップの製造工程断面図である。

【0029】図1においては、1枚のウエハが示されており、前処理を終了し、更に各LSIの電極にバンプを形成した状態を示している。

【0030】この図において、101、102、103、104…は各LSIであり、実線C1、C3、C5、C2、C4、C6、C8に沿ってウエハから切り取られる。

【0031】201、202、203、204、205、206、207、208は各LSIにおける電極であり、通常は1μm厚のアルミニウムが用いられる。301、302、303、…、308はバンプであり、この実施例では、いわゆるスタッド方式（ワイヤボンディングの技術を用い、ボンディング時のボールをバンプとする）を用いた。

【0032】また、電極201、202、203、204、205…は、各々1辺が50～100μmの長方形または正方形の形状をなしており、バンプ301、302、303…は通常各々最大直径が30～60μmで高さもほぼ同じ値である。

【0033】以下、図1に示されるLSI104のA-A'線に沿ったウエハサイズチップの製造方法について図2を参照しながら説明する。

【0034】（1）まず、図2（a）に示すように、100はLSI104を保護するためのPSG膜（酸化膜）であり、電極204、205上のバンプ304、305はワイヤボンディング技術で作製されるので先端がくびれた形状になっている。次工程前に1バンプ当たり6～10gの加重をかけ、各バンプの高さを揃え、また各バンプの先端の表面を平坦にしておく都合がよい。

【0035】バンプの材質としては金、または銅が望ましい。両者とも、通常の技術で作製することができる。特に、金のスタッド方式のバンプに関しては、製造装置も販売され、LSIの前工程を変更することなく作製す

ることができる。

【0036】また、銅バンプに関してはボンディング時、Arに水素を添加したガス雰囲気が必要であり、またボンディング圧力も若干大ききため、LSIのアルミ電極の厚さを2 $\mu$ m程度と通常より厚くする必要が生じたが、条件を最適化することにより、良好な銅のスタッド方式のバンプを得ることが可能であった。

【0037】最近、錫-鉛を主成分にした半田ワイヤをボンディングして、半田のバンプをLSIのアルミ電極に形成する技術も実用化されている。この技術を用いると容易に半田バンプ301、302、303、304、305…を形成することができ、更に続行する工程も容易になる。

【0038】(2) 全てのアルミ電極にバンプを形成、加圧後、図2(b)に示すように、ウエハ全面にエポキシ樹脂200を被着し、ホットプレスにより押圧、加熱しつつ硬化させる。プレスによる圧力は、15~20kg重/cm<sup>2</sup>、温度は80~100℃、硬化時間にほぼ1時間を要した。この押圧工程により、バンプ301、302、303、304、305…の平らな突起上面がエポキシ樹脂200の表面に露出する。樹脂はエポボンド(エマーソンアンドカミング社製の商品名)のように硬化前後における体積変化率の低いものを用いた。樹脂や押圧条件により、バンプ301、302、303、304、305…の平らな突起上面にエポキシ樹脂200が薄く残存する場合がある。この時は表面をサンドペーパー、またはサンドブラスト等で若干研磨することで露出させることができた。

【0039】(3) 次に、通常の工程により、図2(c)に示すように、バンプ301、302、303、304、305…の平らな突起上面に半田ボール604、605を設置する。エポキシ樹脂200上に半田レジストが存在してもよい。これらの工程はウエハ全域にわたって行われる。半田ボール604、605を設置後、図1の実線C1、C3、C5、C2、C4、C6、C8に沿ってウエハをカッティングする。

【0040】上記のようにして、カッティングを行ったチップサイズパッケージを以下に示す。

【0041】図3は本発明の第1実施例を示すチップサイズパッケージの斜視図である。

【0042】この図の点線で示した50は、このチップサイズパッケージを補強するための補強板である。このチップサイズパッケージは、表面にエポキシ樹脂をコーティングしているので十分な強度を持つが、使用する前においては、更なる強度を必要とする場合がある。ウエハカッティング前、補強板50を張り付けることにより、極少ない工程で、補強板付きチップサイズパッケージを得ることができる。

【0043】この様な構造になっているから、LSIチップと同じ面積である。

【0044】本発明によれば、このパッケージは小さいままで、強度的にも、耐湿等においてもいわゆるモールドパッケージと同等の信頼性を持つものである。

【0045】次に、本発明の第2実施例について説明する。

【0046】図4は本発明の第2実施例を示すウエハのチップとなる部分の平面図、図5はそのウエハのチップの断面図(図4のB-B'断面図)、図6は本発明の第2実施例を示すチップサイズパッケージの斜視図である。なお、第1実施例と同じ部分については、同じ符号を付してそれらの説明は省略する。

【0047】これらの図において、402、404、405、407はエポキシ樹脂200上に形成された配線金属であり、半田ボールの位置をアルミ電極の真上の位置から移動させるためのものである。この配線金属を形成する工程は、例えばアルミニウム蒸着、ホトリソ、エッチング工程で行えばよく、なんら新しい技術は使用しない。メッキ技術によってもよい。半田ボール601、602、603、604、605、…を設置するため半田レジスト500を形成する。

【0048】この実施例では、第1実施例のように、接続用の半田ボールをLSIのアルミ電極の真上に形成するのではなく、平面的に離れた場所に形成する。

【0049】図5に示すように、まず、第1実施例のように、LSI104の各アルミ電極204、205上に、スタッドバンプ304、305をたて、次に、エポキシ樹脂200を被着、押圧、加熱して、加工後、このエポキシ樹脂200の表面に配線金属404、405を形成し、更に半田レジスト500を塗布後、半田ボール604、605を設置する。

【0050】最後にウエハをカッティングしてLSIを切り出す。

【0051】このように、半田ボール形成後、一枚のウエハをカッティングした一個のLSIに相当する部分を拡大すると、図6のようになる。

【0052】この実施例では、バンプ形成後、半田ボール移動のための配線金属の形成を行った。エポキシ樹脂形成前に半田ボール移動のための配線金属の形成を行うことも可能である。

【0053】図7はかかる本発明の第3実施例を示す配線金属の形成を先に行った場合のチップサイズパッケージの要部断面図である。図5と同じ部分については、同じ符号を付してそれらの説明は省略する。

【0054】この図において、704、705は半田ボールの位置を移動するための配線金属、804、805はバンプである。

【0055】上記実施例によれば、接続用の半田ボールが所望の場所にあるチップサイズパッケージを容易に得ることが可能である。

【0056】特に、第1実施例と同様に、ウエハのカッ



ティングを最後に行うようにしたので、各パッケージ当たりの工数が少なくなり、低価格化を実現できる。また、エポキシ樹脂のLSIへの接着力も十分なものが得られる。

【0057】第1実施例、第2実施例共にバンパはスタッドバンパとして説明した。しかし通常のメッキによるバンパを用いても、十分に本発明を実施することが可能であった。

【0058】また、第1実施例、第2実施例はバンパ形成後、樹脂封止する工程を用いている。しかし、樹脂を全面に被着後、この樹脂を部分的に必要箇所に応じてホトリソ技術等で除去し、除去箇所に無電解メッキなどでバンパを形成する手法も有効であった。

【0059】図10～図12は本発明の第4実施例を示す図であり、図10は本発明の第4実施例を示すチップサイズパッケージの製造工程断面(図1.1のC-C'線断面)図、図11はそのチップサイズパッケージの平面図、図12はそのチップサイズパッケージの斜視図である。

【0060】ウエハの全体平面図は、第1実施例と同様であるのでここでは図示は省略する。

【0061】以下、そのチップサイズパッケージの製造方法を図10を用いて説明する。

【0062】(1) まず、図10(a)に示すように、LSI104を保護するためのPSG膜(酸化膜)100が形成される。アルミ電極204、205に接続されるバンパ304、305はワイヤボンディング技術で作製されるので先端がくびれた形状になっている。

【0063】バンパの材質としては金、または銅が望ましい。両者とも、通常の技術で作製することができる。特に、金のスタッド方式のバンパに関しては、製造装置も販売され、LSIの前工程を変更することなく作製することができる。

【0064】また、銅バンパに関してはボンディング時Arに水素を添加したガス雰囲気が必要であり、またボンディング圧力が若干大ききため、LSIのアルミ電極の厚さを2 $\mu$ m程度と通常より厚くする必要が生じたが、条件を最適化することにより、良好な銅のスタッド方式のアルミニウムを得ることが可能であった。

【0065】最近、錫-鉛を主成分にした半田ワイヤをボンディングして半田のバンパをLSIのアルミ電極に形成する技術も実用化されている。この技術を用いると容易に半田バンパ304、305…を形成することができ、更に続行する工程も容易になる。

【0066】(2) 次に、図10(b)に示すように、全てのLSI104のアルミ電極204、205にバンパ304、305を形成し、加圧による先端平坦化後、このウエハ全面に銅箔1400(例えば、15 $\mu$ mの厚さ)を鍍付けする。この銅箔1400表面に、予め錫あるいは半田等を1 $\mu$ m程度の厚さにメッキしておき、こ

のメッキ膜(図示なし)とバンパ304、305とを低温鍍付けする。

【0067】次に、この銅箔1400とLSI104間にエポキシ樹脂1200を注入、加熱硬化させる。樹脂は、エコボンド(エマーソンアンドカミング社製の商品名)のように、硬化前後における体積変化率の低いものを用いた。LSI104と銅箔1400間の距離は40 $\mu$ m前後であるから、毛細管現象により効率よく、また、確実に樹脂1200を充填でき、また、LSI104表面、銅箔1400面との接着性も極めて良好であった。なお、バンパ材料が半田である場合は、銅箔に予め錫、半田等をメッキしなくても容易にバンパと銅箔を接続できた。

【0068】(3) 次いで、図10(c)に示すように、銅箔1400をエッチング加工し、所望の配線金属1404、1405をエポキシ樹脂1200上に形成した。銅箔1400のエッチング加工は、例えば、感光性のドライフィルムを銅箔1400にコーティング後、マスクを用いて露光、現像等の処理を行った後、塩化第二鉄の溶液による銅の選択エッチングにより行った。

【0069】(4) 次に、電極1404、1405を形成後、半田ボール604、605を設置するため半田レジスト1500を塗布し、その後、半田ボール604、605を所定の場所に設置する。

【0070】このようにして得られたチップサイズパッケージの平面を図11に示す。

【0071】この図において、1401、1402、1403、1404、1405…は樹脂1200上に形成された銅箔からなる配線金属であり、601、602、603、604、605は半田ボールである。

【0072】LSIのアルミ電極201、203、206、208についてはその真上に外部回路との接続点を設置するようにしてある。アルミ電極204、205については、それぞれの場所に設置されたバンパ(304、305等)を通して、外部回路との接続点を移動するよう設計されている。

【0073】半田ボール601、602、603、604、605、…の設置後、図1のように、点線C1、C3、C5、C2、C4、C6、C8に沿ってウエハをカッティングする。カッティング後のLSI104が図12に示されている。

【0074】図12に示した700は、このチップサイズパッケージを補強するための補強板である。このチップサイズパッケージは表面にエポキシ樹脂をコーティングしているので十分な強度を持つが、使用する前においては、さらなる強度を必要とする場合がある。ウエハカッティング前、補強板700を張り付けることにより、極少ない工程で、補強板700付きチップサイズパッケージを得ることが可能である。

【0075】また、エポキシ樹脂をチップ表面に被着し

ているので、いわゆる樹脂モールドと略同じ信頼性を保証できる。

【0076】従来文献に示したように、従来のチップサイズパッケージはLSIのダイスカッティング後、パッケージを行っていた。しかし、本発明ではパッケージ化の作業を全てウエハ単位で行えるため、工数が少なく、低価格化を実現できる。

【0077】従来のエポキシ樹脂のモールドに関してはモールドに離型剤が添加されていた。これは金型と樹脂との接着を防ぐ目的のものであるが、LSI及びその周辺の金属との接着力が弱くなり信頼性低下につながった。

【0078】しかし、本発明の技術では金型を用いないので、エポキシ樹脂に離型剤を添加する必要はない。また、樹脂との接着を促進するシランカップリング剤等を有効に用いることができた。

【0079】本発明によれば、このパッケージは小さいままで、強度的にも、耐湿等においてもいわゆるモールドパッケージと同等の信頼性を持つものである。

【0080】本発明においては、バンパはスタッド方式として説明した。しかし通常のメッキによるバンパを用いることも当然可能であり、他の手法でもよい。またバンパの材料も銅、金、錫一鉛半田のみでなく、他の材料の使用も可能である。

【0081】ウエハ全面のバンパに張り付ける箔を銅箔として説明したが、これ以外に金箔、コパール板等を用いても良好なチップサイズパッケージを得ることができた。

【0082】また、各バンパとの接続は、低温鐵付けではなく、高温圧接、超音波接続等を用いても可能であった。この場合、銅箔に半田メッキ、錫メッキ等は不要であった。

【0083】銅箔のパターニングはドライフィルムを用いる手法で説明したが、レジストをコーティングする手法等の方法でも十分対応しえるものである。

【0084】銅箔とLSI間にエポキシ樹脂を毛細管現象で注入したが、例えばポリイミド樹脂等、他の系統の樹脂でも対応可能である。

【0085】外部回路との接続は半田ボールで行うとして説明したが、接続予定場所に金属片を溶接して接続端子とすることも可能である。あるいは導電性塗料を必要箇所に塗布してもよい。

【0086】なお、本発明は上記実施例に限定されるものではなく、本発明の趣旨に基づいて種々の変形が可能であり、これらを本発明の範囲から排除するものではない。

【0087】

【発明の効果】以上、詳細に説明したように、本発明によれば、以下のような効果を奏することができる。

【0088】(1) LSIチップと同じ面積のチップサ

イズパッケージを得ることができる。

【0089】また、樹脂をチップ表面に被着しているのので、いわゆる樹脂モールドとほぼ同じ信頼性を保証できる。

【0090】すなわち、パッケージは小さいままで、強度的にも、耐湿等においても、いわゆるモールドパッケージと同等の信頼性を確保することができる。

【0091】(2) 上記(1)の効果に加え、LSIの表面の強度と接続の信頼性を高めることができる。

【0092】(3) 上記(1)の効果に加え、LSIのパッド電極と半田ボールとの位置を任意に変更でき、接続の自由度を高めることができる。

【0093】(4) パッケージ化の作業を全てウエハ単位で行えるため、工数が少なく、低価格化を実現できる。

【0094】このように、ウエハのカッティングを最後に行うので、各パッケージ当たりの工数が少なくなり、低価格化を実現できる。

【0095】(5) 上記(4)の効果に加え、LSIをウエハから切り出す前に、そのウエハ全面に補強板を接着するようにしたので、LSIを機械的に補強することができ、確実にウエハから切り出しを行うことができる。

【0096】(6) 金型を用いないので、エポキシ樹脂に離型剤を添加する必要はない。また、樹脂との接着を促進するシランカップリング剤等を有効に用いることができた。

【0097】(7) 上記(6)と同様な、チップサイズパッケージを製造することができる。

【図面の簡単な説明】

【図1】本発明の第1実施例を示すウエハの平面図である。

【図2】図1のA-A'線におけるチップの製造工程断面図である。

【図3】本発明の第1実施例を示すチップサイズパッケージの斜視図である。

【図4】本発明の第2実施例を示すウエハのチップとなる部分の平面図である。

【図5】本発明の第2実施例を示すウエハのチップの断面(図4のB-B'線断面)図である。

【図6】本発明の第2実施例を示すチップサイズパッケージの斜視図である。

【図7】本発明の第3実施例を示す配線金属の形成を先に行った場合のチップサイズパッケージの要部断面図である。

【図8】従来のチップサイズパッケージの一部破断斜視図である。

【図9】従来のチップサイズパッケージのうちテープキャリア方式の一部破断斜視図である。

【図10】本発明の第4実施例を示すチップサイズパッ

ケージの製造工程断面 (図11のC-C' 線断面) である。

【図11】本発明の第4実施例を示すチップサイズパッケージの平面図である。

【図12】本発明の第4実施例を示すチップサイズパッケージの斜視図である。

【符号の説明】

50, 700 補強板

100 PSG膜 (酸化膜) (保護膜)

101, 102, 103, 104 LSI

200, 1200 エポキシ樹脂

201, 202, 203, 204, 205, 206, 207, 208 電極 (アルミニウム)

301, 302, 303, 304, 305, 306, 307, 308, 804, 805… パンプ (スタッドパンプ)

402, 404, 405, 407, 704, 705, 1

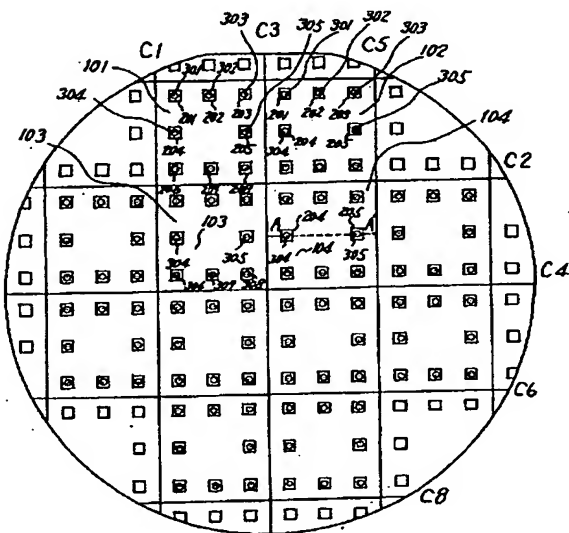
401, 1402, 1404, 1405 配線金属

500, 1500 半田レジスト

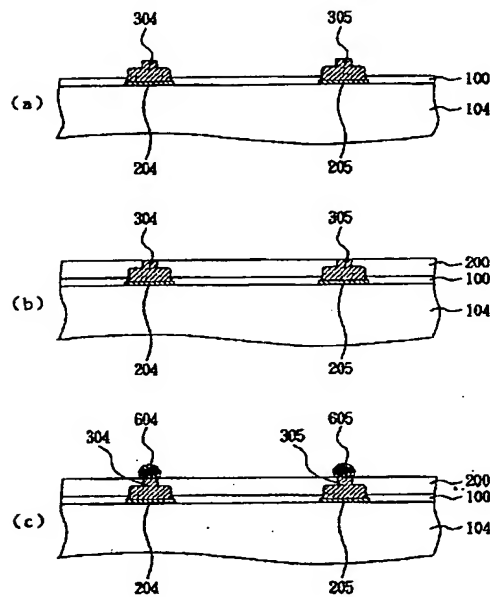
601, 602, 603, 604, 605 半田ボール

1400 銅箔

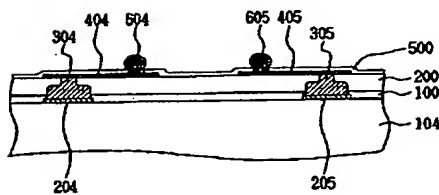
【図1】



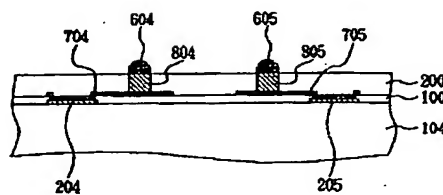
【図2】



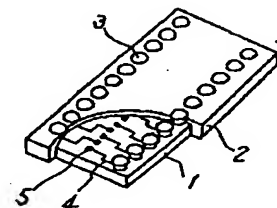
【図5】



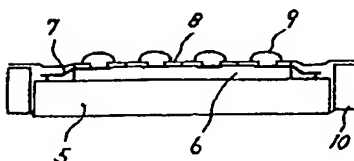
【図7】



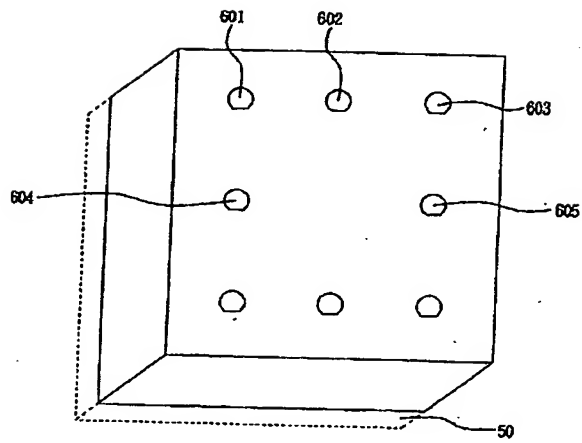
【図8】



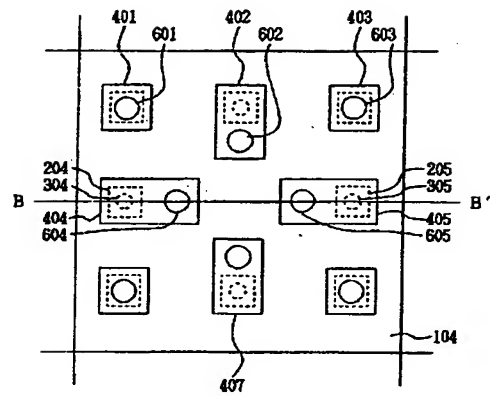
【図9】



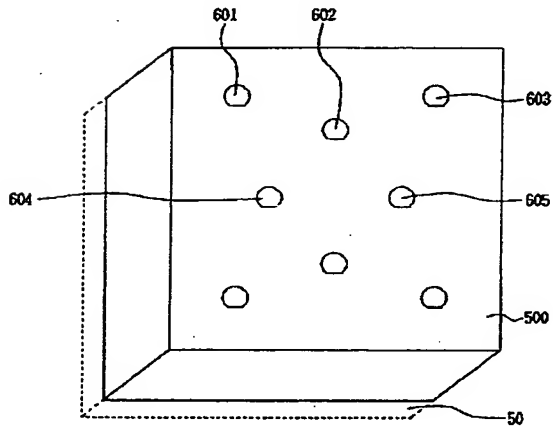
【図3】



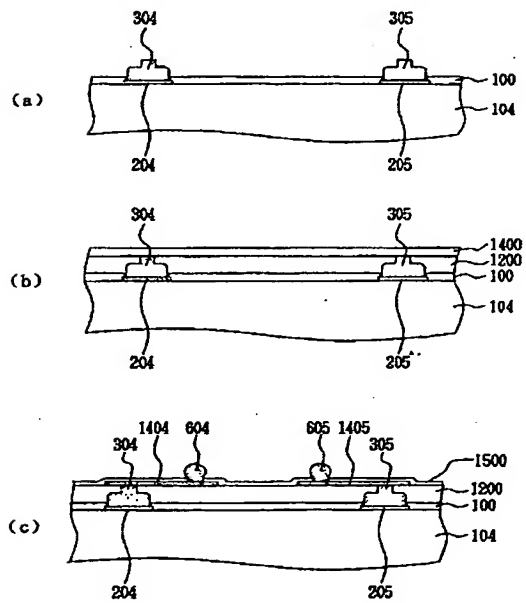
【図4】



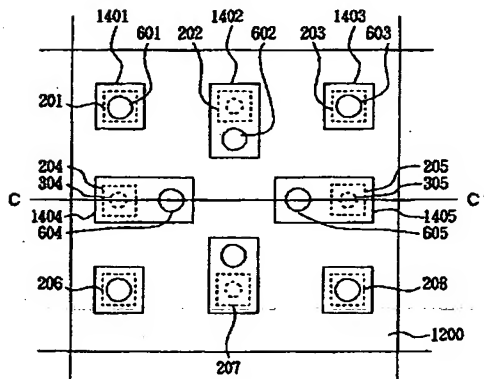
【図6】



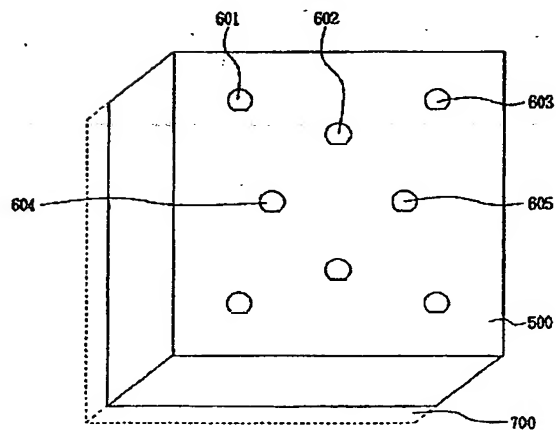
【図10】



【図11】



【図12】



## フロントページの続き

(56)参考文献 特開 平5-55278 (J P, A)  
特開 平6-151487 (J P, A)  
特開 平1-276750 (J P, A)  
特開 平3-94438 (J P, A)  
特開 平6-291221 (J P, A)  
特開 昭50-87278 (J P, A)  
特開 昭63-72143 (J P, A)  
特開 平9-129772 (J P, A)  
特開 平8-102466 (J P, A)  
特開 平6-302604 (J P, A)  
特開 平9-64078 (J P, A)

(58)調査した分野(Int. Cl.<sup>7</sup>, D B名)

H01L 23/12 501

H01L 21/301

